

Desenvolvimento de sistema embarcado baseado em CPLD para decodificação e exibição de código Gray em interface homem-máquina de 7 segmentos

Vitor Amadeu Souza¹; 0009-0002-1857-6799

1 – UniFOA, Centro Universitário de Volta Redonda, Volta Redonda, RJ.
vitor.amadeu@foa.org.br

Resumo: Este trabalho apresenta o desenvolvimento de um sistema embarcado utilizando Complex Programmable Logic Device (CPLD) para decodificação de código Gray de 4 bits e sua respectiva exibição em interface homem-máquina (IHM) de 7 segmentos. O projeto aborda desde a concepção do esquema elétrico até a implementação do código VHDL para conversão dos valores binários de entrada Gray para os padrões de exibição hexadecimais correspondentes no display. A metodologia empregada contempla análise dos requisitos do sistema, implementação do algoritmo de decodificação em linguagem VHDL e validação através de simulação temporal. Os resultados demonstram a eficácia da solução proposta na conversão dos 16 estados possíveis do código Gray (0000 a 1111) para os respectivos valores hexadecimais (0 a F) exibidos no display de 7 segmentos. A análise temporal confirma o comportamento síncrono do sistema e a estabilidade dos sinais de saída, apresentando aplicabilidade em sistemas de controle industrial onde a codificação Gray é amplamente utilizada para minimizar erros de transição em encoders rotativos e sistemas de posicionamento.

Palavras-chave: CPLD. Código Gray. VHDL. Sistema Embarcado. Display 7 Segmentos. Interface Homem-Máquina.

INTRODUÇÃO

O código Gray, também conhecido como código binário refletido, representa uma classe especial de códigos binários onde dois valores consecutivos diferem em apenas um bit, propriedade fundamental que minimiza erros durante transições em sistemas digitais (Gray, 1953). Esta característica torna o código Gray particularmente valioso em aplicações de encoders rotativos, conversores analógico-digitais e sistemas de posicionamento onde a minimização de erros de transição é crítica (Wakerly, 2005).

Os Complex Programmable Logic Devices (CPLDs) emergiram como uma solução eficiente para implementação de lógica digital personalizada, oferecendo flexibilidade de programação aliada à robustez de sistemas dedicados (Brown; Vranesic, 2006). Diferentemente dos Field-Programmable Gate Arrays (FPGAs), os CPLDs baseiam-se em arquiteturas de soma de produtos com matriz de interconexões, proporcionando tempos de propagação previsíveis e adequados para aplicações de controle em tempo real (Maxfield, 2004).

A interface homem-máquina através de displays de 7 segmentos permanece como uma das formas mais difundidas de apresentação de informações numéricas em sistemas embarcados devido ao baixo custo e alta legibilidade (Tokheim, 2013). A decodificação eficiente de códigos binários para padrões de 7 segmentos constitui uma tarefa fundamental em diversos sistemas de instrumentação e controle industrial.

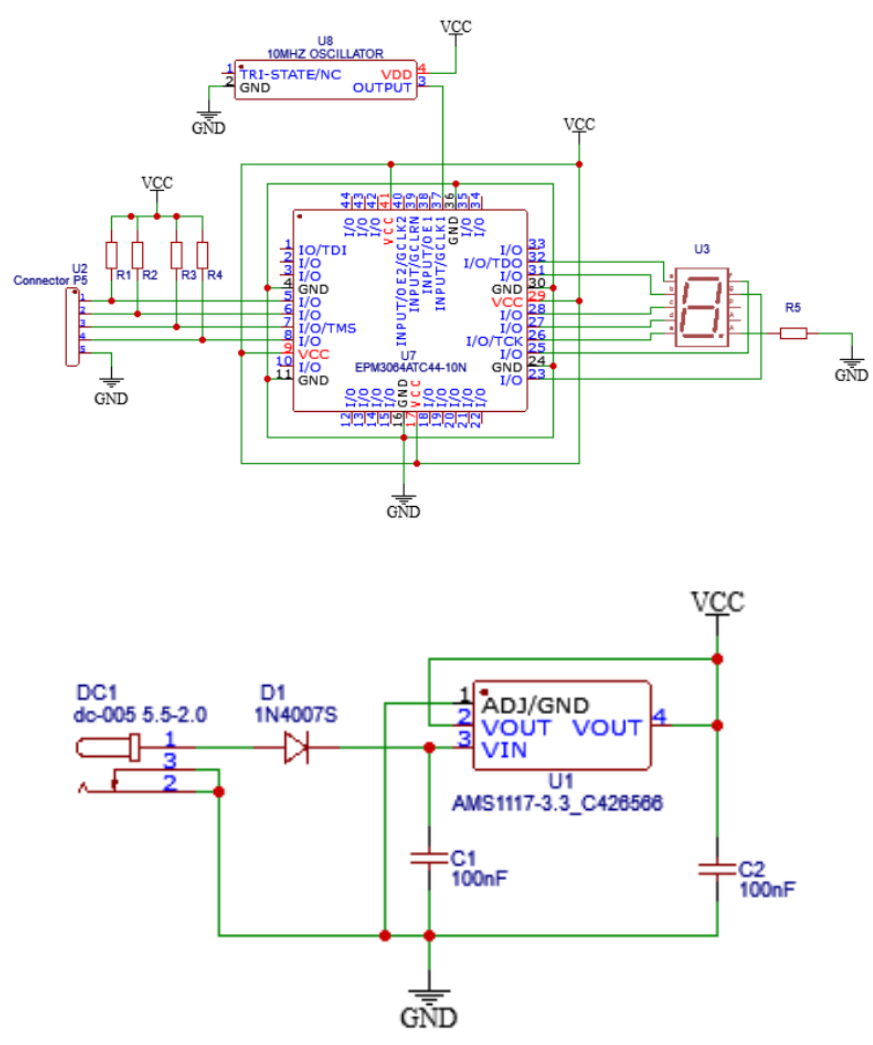
Este trabalho objetiva desenvolver um sistema embarcado utilizando CPLD para decodificação de código Gray de 4 bits com exibição em display de 7 segmentos, contemplando desde o projeto do circuito de alimentação até a validação temporal do comportamento do sistema. A estrutura do trabalho abrange a metodologia de desenvolvimento do sistema, incluindo especificação de requisitos, projeto do hardware e implementação do software embarcado em VHDL. Os resultados apresentam a análise do comportamento temporal do sistema e discussão sobre a adequação da solução proposta para aplicações industriais. As conclusões sintetizam as contribuições do trabalho e perspectivas de desenvolvimentos futuros.



MÉTODOS

A alimentação do sistema opera em 12V com regulagem interna para as tensões de operação dos componentes digitais. Conforme estabelecido por Mano e Ciletti (2012), a especificação de requisitos constitui etapa fundamental no desenvolvimento de sistemas digitais, particularmente em aplicações embarcadas onde a confiabilidade é crítica. O esquema elétrico do sistema contempla três módulos principais: circuito de regulagem de tensão, interface de entrada para código Gray de 4 bits e interface de saída para display de 7 segmentos, como pode ser visto na Figura 1.

Figura 1 - Esquema elétrico do projeto

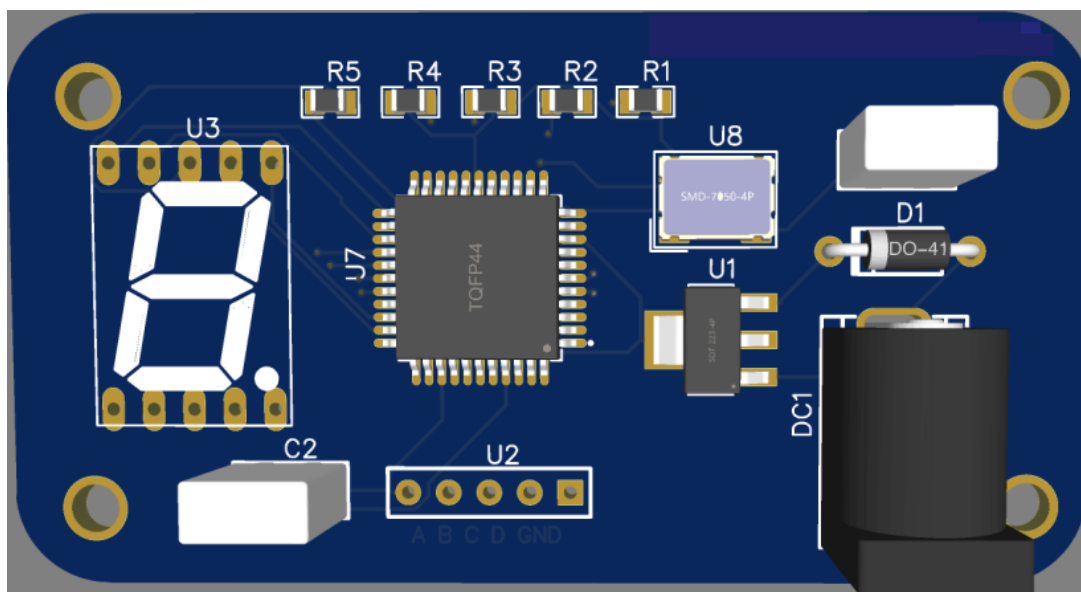


Fonte: O autor.



O CPLD selecionado pertence à família de dispositivos de média densidade, oferecendo recursos suficientes para implementação da lógica de decodificação com margem para expansões futuras. O circuito de regulação de tensão emprega regulador linear de baixo dropout (LDO) para conversão da alimentação de 12V para o nível de 3,3V requeridos pelos componentes do sistema. Esta abordagem garante estabilidade da alimentação e redução de ruído, aspectos fundamentais para operação confiável de sistemas digitais conforme destacado por Sedra e Smith (2014). A interface de entrada implementa condicionamento de sinais através de resistores de pull-up e filtros RC para eliminação de ruídos de comutação. O layout confeccionado a partir do esquema está apresentado na Figura 2.

Figura 2 - Layout da PCI



Fonte: O autor.

A implementação em VHDL seguiu metodologia de projeto estruturado, iniciando com definição da entidade principal e arquitetura correspondente. A linguagem VHDL foi selecionada devido à sua capacidade de descrição de sistemas digitais síncronos e amplo suporte em ferramentas de síntese para CPLDs (Pedroni, 2020). A estrutura do código contempla processo síncrono sensível ao sinal de clock para garantir operação temporizada do sistema. A conversão Gray para hexadecimal utiliza estrutura case-when para mapeamento direto dos padrões de entrada para os códigos correspondentes do display de 7 segmentos. A tabela de verdade para conversão Gray-hexadecimal foi estabelecida

considerando a correspondência biunívoca entre os 16 estados possíveis do código Gray de 4 bits e os dígitos hexadecimais 0 a F. Cada padrão de saída de 8 bits controla individualmente os 7 segmentos do display, permitindo representação dos caracteres hexadecimais.

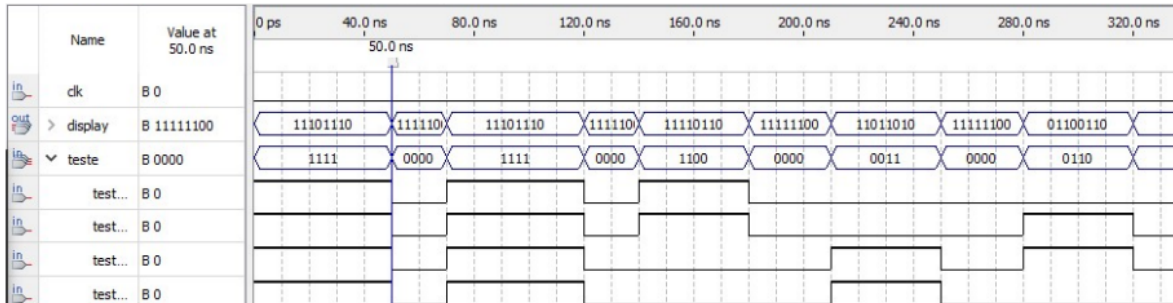
A validação do sistema empregou simulação temporal utilizando ambiente de desenvolvimento integrado específico para CPLDs. Os vetores de teste contemplaram todos os 16 estados possíveis de entrada Gray, verificando a correta decodificação para os padrões correspondentes do display de 7 segmentos. Conforme metodologia estabelecida por Chu (2007), a simulação temporal constitui etapa essencial na validação de sistemas digitais síncronos, garantindo operação confiável nas condições especificadas.

O código-fonte está disponível para download através do link: <https://github.com/vitor-souza-ime/gray>.

RESULTADOS E DISCUSSÃO

A entidade "ios" define os portos de entrada, incluindo clock e sinais Gray, e a saída, que corresponde aos padrões para display de 7 segmentos. A arquitetura "IHM" emprega processo síncrono que garante operação temporizada do sistema. A implementação da conversão através de estrutura case-when proporciona síntese eficiente em CPLD, resultando em lógica combinacional otimizada. Cada estado do código Gray, de 0000 a 1111, mapeia diretamente para o padrão correspondente no display, eliminando a necessidade de conversões intermediárias. Os padrões de saída de 8 bits para o display de 7 segmentos foram definidos para representação correta dos dígitos hexadecimais de 0 a F. A codificação empregada considera display de cátodo comum, onde nível lógico alto ativa o segmento correspondente e a inclusão do estado "others" com saída "00000000" garante comportamento definido para eventuais estados inválidos. A Figura 2 mostra a carta de tempos ao testar o código em VHDL.

Figura 2 - Carta de tempos ao testar o código VHDL



Fonte: O autor.

A análise temporal confirma ausência de glitches ou estados metaestáveis nos sinais de saída, indicando implementação robusta do código VHDL. A estabilidade dos sinais durante os períodos entre transições garante operação confiável do display de 7 segmentos, evitando flickering ou exibição de caracteres incorretos. O sistema desenvolvido demonstra adequação para aplicações industriais que empregam código Gray, particularmente em encoders rotativos e sistemas de posicionamento. A conversão direta Gray-hexadecimal elimina etapas intermediárias de decodificação, reduzindo latência e aumentando a confiabilidade do sistema.

A implementação em CPLD oferece vantagens significativas em relação a soluções baseadas em microcontroladores, incluindo determinismo temporal, maior robustez a interferências eletromagnéticas e operação em temperaturas extremas, características que se alinham com requisitos típicos de ambientes industriais conforme estabelecido por Bolton (2015). A interface de 7 segmentos proporciona visualização imediata e intuitiva dos valores decodificados, facilitando diagnóstico e monitoramento de sistemas. A representação hexadecimal abrange completamente o espaço de estados do código Gray de 4 bits, oferecendo resolução adequada para a maioria das aplicações de controle.

CONCLUSÕES

Os resultados obtidos demonstram a eficácia da solução proposta na conversão precisa dos 16 estados do código Gray para representação hexadecimal em display de 7 segmentos. A análise temporal evidencia comportamento síncrono estável com tempos de propagação adequados para aplicações industriais.

A contribuição principal deste trabalho reside na demonstração prática de implementação de decodificador Gray em CPLD, oferecendo alternativa robusta e determinística para aplicações que demandam conversão de código Gray com visualização imediata. A solução desenvolvida apresenta aplicabilidade em sistemas de controle industrial, encoders rotativos e instrumentação.

Desenvolvimentos futuros incluem expansão para códigos Gray de maior resolução, implementação de funcionalidades de diagnóstico e desenvolvimento de interfaces de múltiplos displays. A incorporação de comunicação serial para integração com sistemas supervisórios constitui extensão natural do trabalho para aplicações de automação industrial.

REFERÊNCIAS

BOLTON, W. Programmable Logic Controllers. 6. ed. Oxford: Newnes, 2015.

BROWN, S.; VRANESIC, Z. Fundamentals of Digital Logic with VHDL Design. 2. ed. New York: McGraw-Hill, 2006.

CHU, P. P. FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version. Hoboken: John Wiley & Sons, 2007.

GRAY, F. Pulse Code Communication. U.S. Patent 2,632,058, filed Nov. 13, 1947, issued Mar. 17, 1953.

MANO, M. M.; CILETTI, M. D. Digital Design: With an Introduction to the Verilog HDL. 5. ed. Boston: Pearson, 2012.

MAXFIELD, C. The Design Warrior's Guide to FPGAs. Oxford: Newnes, 2004.

PEDRONI, V. A. Circuit Design with VHDL. 3. ed. Cambridge: MIT Press, 2020.

SEDRA, A. S.; SMITH, K. C. Microelectronic Circuits. 7. ed. New York: Oxford University Press, 2014.

TOKHEIM, R. L. Digital Electronics: Principles and Applications. 8. ed. New York: McGraw-Hill, 2013.

WAKERLY, J. F. Digital Design: Principles and Practices. 4. ed. Upper Saddle River: Pearson Prentice Hall, 2005.



4º Congresso Brasileiro
de Ciência e Saberes
Multidisciplinares

**tudo é
ciência**

11º Encontro de Extensão
Universitária do UNIFOA

**23 a 25
de outubro**

👉 Submissões abertas até 07/09